



(12)发明专利申请

(10)申请公布号 CN 110021261 A
(43)申请公布日 2019.07.16

(21)申请号 201810685556.7

(22)申请日 2018.06.28

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 丛宁 玄明花 岳晗 杨明
陈小川 张粲 王灿 陈亮
赵德涛

(74)专利代理机构 北京中博世达专利商标代理
有限公司 11274
代理人 贾莹

(51)Int.Cl.
G09G 3/32(2016.01)

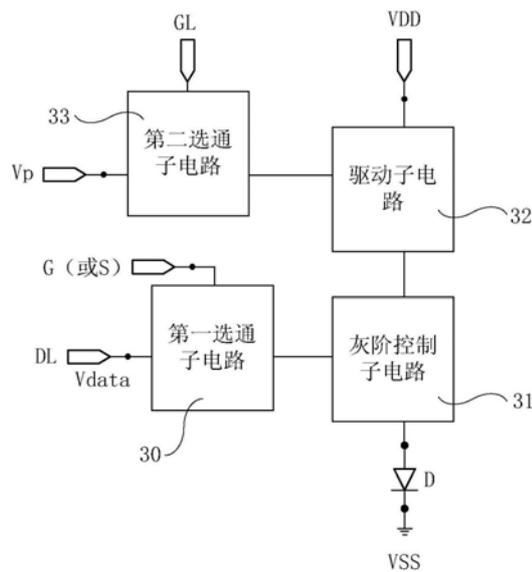
权利要求书2页 说明书10页 附图9页

(54)发明名称

一种阵列基板及其驱动方法、显示面板

(57)摘要

本申请实施例提供一种阵列基板及其驱动方法、显示面板,涉及显示技术领域,用于解决部分Micro LED发光效率不同,影响显示效果的问题。阵列基板包括多个矩阵排列的像素单元,每个像素单元至少包括发光颜色不同的第一亚像素、第二亚像素和第三亚像素;第一亚像素的发光效率低于第二亚像素和第三亚像素;每一行像素单元中,第一亚像素连接第一栅线,第二亚像素和第三亚像素连接第二栅线。



1. 一种阵列基板,其特征在于,所述阵列基板包括多个矩阵排列的像素单元,每个所述像素单元至少包括发光颜色不同的第一亚像素、第二亚像素和第三亚像素;所述第一亚像素的发光效率低于所述第二亚像素和所述第三亚像素;

每一行所述像素单元中,所述第一亚像素连接第一栅线,所述第二亚像素和所述第三亚像素连接第二栅线。

2. 根据权利要求1所述的阵列基板,其特征在于,所述阵列基板还包括多个栅线组;

所述多个栅线组中的每个所述栅线组包括至少两个相邻的所述第一栅线;任意两个所述栅线组中的所述第一栅线不相同;

每个所述栅线组中的所有第一栅线同时接收同一扫描信号。

3. 根据权利要求1所述的阵列基板,其特征在于,所述阵列基板还包括位于所述第一亚像素、所述第二亚像素以及所述第三亚像素内的像素电路;

所述像素电路包括第一选通子电路、灰阶控制子电路、驱动子电路以及发光器件;

所述第一选通子电路与数据线、所述灰阶控制子电路电连接,所述选通子电路还连接所述第一栅线或所述第二栅线;所述第一选通子电路用于在所述第一栅线或第二栅线的控制下,将所述数据线输出的数据电压传输至所述灰阶控制子电路;

所述灰阶控制子电路还与所述驱动子电路和发光器件的阳极电连接,所述灰阶控制子电路用于根据所述数据电压,控制所述驱动子电路和所述发光器件电连接的时长;

所述驱动子电路还与恒压源、第一工作电压端电连接;所述发光器件的阴极与第二工作电压端电连接;所述驱动子电路用于在所述恒压源输出的恒定电压的控制下,向所述发光器件提供恒定的驱动电流;所述发光器件根据所述驱动电流进行发光。

4. 根据权利要求3所述的阵列基板,其特征在于,所述像素电路还包括第二选通子电路;

所述第二选通子电路与所述恒压源、所述驱动子电路以及第三栅线电连接,所述第二选通子电路用于在所述第三栅线的控制下,将所述恒压源输出的恒定电压传输至所述驱动子电路。

5. 根据权利要求3所述的阵列基板,其特征在于,所述第一选通子电路包括第一晶体管;

所述第一晶体管的栅极连接所述第一栅线或第二栅线,第一极连接所述数据线,第二极与灰阶控制子电路电连接。

6. 根据权利要求3所述的阵列基板,其特征在于,灰阶控制子电路包括第二晶体管;

所述第二晶体管的栅极连接所述第一选通子电路,第一极连接所述驱动子电路,第二极连接所述发光器件的阳极。

7. 根据权利要求3所述的阵列基板,其特征在于,所述驱动子电路包括驱动晶体管;

所述驱动晶体管的栅极连接所述恒压源,第一极连接所述第一工作电压端,第二极连接所述灰阶控制子电路。

8. 根据权利要求4所述的阵列基板,其特征在于,所述第二选通子电路包括第三晶体管;

所述第三晶体管的栅极连接所述第三栅线,第一极连接所述恒压源,第二极连接所述驱动子电路。

9. 根据权利要求3所述的阵列基板,其特征在于,所述发光器件包括微型发光二极管。

10. 一种显示面板,其特征在于,包括如权利要求1-9任一项所述的阵列基板。

11. 根据权利要求10所述的显示面板,其特征在于,所述显示面板包括栅极驱动电路;所述栅极驱动电路包括第一栅极驱动子电路和第二栅极驱动子电路;

所述第一栅极驱动子电路与第一栅线相连接;所述第一栅极驱动子电路用于依次向多个栅线组提供第一扫描信号;

所述第二栅极驱动子电路与多条第二栅线相连接;所述第二栅极驱动子电路用于依次向多条所述第二栅线提供第二扫描信号。

12. 一种如权利要求1-9任一项所述的阵列基板的驱动方法,其特征在于,所述驱动方法包括:

向连接同一行像素单元的第一栅线提供第一扫描信号,第二栅线提供第二扫描信号;所述第一扫描信号的有效时长大于所述第二扫描信号的有效时长。

13. 根据权利要求12所述的阵列基板的驱动方法,其特征在于,所述向连接同一行像素单元的第一栅线提供第一扫描信号,第二栅线提供第二扫描信号包括:

依次向多个栅线组提供第一扫描信号;所述栅线组包括N条相邻的第一栅线; $N \geq 2$,N为正整数;

向一个所述栅线组提供所述第一扫描信号包括:同时向所述栅线组中的N条所述第一栅线提供所述第一扫描信号;

依次向多条所述第二栅线提供所述第二扫描信号;

其中,所述第二扫描信号的有效时长为与所述第一扫描信号的有效时长的 $1/N$ 。

14. 根据权利要求12所述的阵列基板的驱动方法,其特征在于,在所述阵列基板包括像素电路,所述像素电路包括第一选通子电路、灰阶控制子电路、驱动子电路以及发光器件的情况下,所述驱动方法包括:

所述第一选通子电路在所述第一栅线或第二栅线的控制下,将数据线输出的数据电压传输至所述灰阶控制子电路;

所述灰阶控制子电路根据所述数据电压,控制所述驱动子电路和所述发光器件电连接的时长;

所述驱动子电路在恒压源输出的恒定电压的控制下,向所述发光器件提供恒定的驱动电流;

所述发光器件根据所述驱动电流进行发光。

15. 根据权利要求14所述的阵列基板的驱动方法,其特征在于,在所述像素电路还包括第二选通子电路的情况下,所述第一选通子电路在所述第一栅线或第二栅线的控制下,将数据线输出的数据电压传输至所述灰阶控制子电路之前,所述驱动方法还包括:

所述第二选通子电路在第三栅线的控制下,将所述恒压源输出的恒定电压传输至所述驱动子电路。

一种阵列基板及其驱动方法、显示面板

技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板及其驱动方法、显示面板。

背景技术

[0002] Micro LED (Light Emitting Diode,发光二极管)显示装置,相对于同为白发光显示的OLED (Organic Light Emitting Diode,有机发光二极管)显示装置而言, Micro LED具有全固态、寿命长、发光材料不容易受到外界环境影响而相对稳定的优势。

[0003] 然而, Micro LED显示装置中发光颜色不一样的Micro LED,其发光效率也不同,从而对显示画面的显示效果造成影响。

发明内容

[0004] 本发明的实施例提供一种阵列基板及其驱动方法、显示面板,用于解决部分Micro LED发光效率不同,影响显示效果的问题。

[0005] 为达到上述目的,本发明的实施例采用如下技术方案:

[0006] 本申请实施例的一方面,提供一种阵列基板,所述阵列基板包括多个矩阵排列的像素单元,每个所述像素单元至少包括发光颜色不同的第一亚像素、第二亚像素和第三亚像素;所述第一亚像素的发光效率低于所述第二亚像素和所述第三亚像素;每一行所述像素单元中,所述第一亚像素连接第一栅线,所述第二亚像素和所述第三亚像素连接第二栅线。

[0007] 可选的,所述阵列基板还包括多个栅线组;所述多个栅线组中的每个所述栅线组包括至少两个相邻的所述第一栅线;任意两个所述栅线组中的所述第一栅线不相同;每个所述栅线组中的所有第一栅线同时接收同一扫描信号。

[0008] 可选的,所述阵列基板还包括位于所述第一亚像素、所述第二亚像素以及所述第三亚像素内的像素电路;所述像素电路包括第一选通子电路、灰阶控制子电路、驱动子电路以及发光器件;所述第一选通子电路与数据线、所述灰阶控制子电路电连接,所述选通子电路还连接所述第一栅线或所述第二栅线;所述第一选通子电路用于在所述第一栅线或第二栅线的控制下,将所述数据线输出的数据电压传输至所述灰阶控制子电路;所述灰阶控制子电路还与所述驱动子电路和发光器件的阳极电连接,所述灰阶控制子电路用于根据所述数据电压,控制所述驱动子电路和所述发光器件电连接的时长;所述驱动子电路还与恒压源、第一工作电压端电连接;所述发光器件的阴极与第二工作电压端电连接;所述驱动子电路用于在所述恒压源输出的恒定电压的控制下,向所述发光器件提供恒定的驱动电流;所述发光器件根据所述驱动电流进行发光。

[0009] 可选的,所述像素电路还包括第二选通子电路;所述第二选通子电路与所述恒压源、所述驱动子电路以及第三栅线电连接,所述第二选通子电路用于在所述第三栅线的控制下,将所述恒压源输出的恒定电压传输至所述驱动子电路。

[0010] 可选的,所述第一选通子电路包括第一晶体管;所述第一晶体管的栅极连接所述

第一栅线或第二栅线,第一极连接所述数据线,第二极与灰阶控制子电路电连接。

[0011] 可选的,灰阶控制子电路包括第二晶体管;所述第二晶体管的栅极连接所述第一选通子电路,第一极连接所述驱动子电路,第二极连接所述发光器件的阳极。

[0012] 可选的,所述驱动子电路包括驱动晶体管;所述驱动晶体管的栅极连接所述恒压源,第一极连接所述第一工作电压端,第二极连接所述灰阶控制子电路。

[0013] 可选的,所述第二选通子电路包括第三晶体管;所述第三晶体管的栅极连接所述第三栅线,第一极连接所述恒压源,第二极连接所述驱动子电路。

[0014] 可选的,所述发光器件包括微型发光二极管。

[0015] 本申请实施例的另一方面,提供一种显示面板,包括如上所述的任意一种阵列基板。

[0016] 可选的,所述显示面板包括栅极驱动电路;所述栅极驱动电路包括第一栅极驱动子电路和第二栅极驱动子电路;所述第一栅极驱动子电路与第一栅线相连接;所述第一栅极驱动子电路用于依次向多个栅线组提供第一扫描信号;所述第二栅极驱动子电路与多条第二栅线相连接;所述第二栅极驱动子电路用于依次向多条所述第二栅线提供第二扫描信号。

[0017] 本申请实施例的另一方面,提供一种如上所述的任意一种阵列基板的驱动方法,所述驱动方法包括:向连接同一行像素单元的第一栅线提供第一扫描信号,第二栅线提供第二扫描信号;所述第一扫描信号的有效时长大于所述第二扫描信号的有效时长。

[0018] 可选的,所述向连接同一行像素单元的第一栅线提供第一扫描信号,第二栅线提供第二扫描信号包括:依次向多个栅线组提供第一扫描信号;所述栅线组包括N条相邻的第一栅线; $N \geq 2$,N为正整数;向一个所述栅线组提供所述第一扫描信号包括:同时向所述栅线组中的N条所述第一栅线提供所述第一扫描信号;依次向多条所述第二栅线提供所述第二扫描信号;其中,所述第二扫描信号的有效时长为与所述第一扫描信号的有效时长的 $1/N$ 。

[0019] 可选的,在所述阵列基板包括像素电路,所述像素电路包括第一选通子电路、灰阶控制子电路、驱动子电路以及发光器件的情况下,所述驱动方法包括:所述第一选通子电路在所述第一栅线或第二栅线的控制下,将数据线输出的数据电压传输至所述灰阶控制子电路;所述灰阶控制子电路根据所述数据电压,控制所述驱动子电路和所述发光器件电连接的时长;所述驱动子电路在恒压源输出的恒定电压的控制下,向所述发光器件提供恒定的驱动电流;所述发光器件根据所述驱动电流进行发光。

[0020] 可选的,在所述像素电路还包括第二选通子电路的情况下,所述第一选通子电路在所述第一栅线或第二栅线的控制下,将数据线输出的数据电压传输至所述灰阶控制子电路之前,所述驱动方法还包括:所述第二选通子电路在第三栅线的控制下,将所述恒压源输出的恒定电压传输至所述驱动子电路。

[0021] 本申请实施例提供的阵列基板中,每一行像素单元中,发光效率较低的第一亚像素连接第一栅线,发光效率较高的第二亚像素和第三亚像素连接第二栅线。在此情况下,可以向连接同一行像素单元的第一栅线提供第一扫描信号,第二栅线提供第二扫描信号。第一扫描信号的有效时长大于第二扫描信号的有效时长。这样一来,同一行像素单元中,第一亚像素的发光时间大于第二亚像素和第三亚像素。从而可以对发光效率较低的第一亚像素的发光时间进行延长,以对该第一亚像素的发光亮度进行补偿,使得第一亚像素与第二亚

像素、第三亚像素的发光亮度相同或近似相同,从而可以提高显示效果。

附图说明

[0022] 为了更清楚地说明本发明实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0023] 图1为本申请的一些实施例提供的一种阵列基板的结构示意图;

[0024] 图2为本申请的一些实施例提供的一种控制信号时序图;

[0025] 图3为本申请的一些实施例提供的另一种阵列基板的结构示意图;

[0026] 图4为本申请的一些实施例提供的另一种控制信号时序图;

[0027] 图5为本申请的一些实施例提供的另一种控制信号时序图;

[0028] 图6为本申请的一些实施例提供的一种像素电路的结构示意图;

[0029] 图7为本申请的一些实施例提供的一种Micro LED的电流密度与发光效率的关系曲线图;

[0030] 图8为本申请的一些实施例提供的另一种像素电路的结构示意图;

[0031] 图9为本申请的一些实施例提供的一种阵列基板的驱动方法流程图;

[0032] 图10为图6所示的像素电路的具体结构示意图;

[0033] 图11为图8所示的像素电路的具体结构示意图;

[0034] 图12为本申请的一些实施例提供的另一种控制信号时序图;

[0035] 图13为本申请的一些实施例提供的另一种控制信号时序图;

[0036] 图14为本申请的一些实施例提供的一种显示面板的结构示意图。

具体实施方式

[0037] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0038] 以下,术语“第一”、“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”的特征可以明示或者隐含地包括一个或者更多个该特征。在本申请实施例的描述中,除非另有说明,“多个”的含义是两个或两个以上。

[0039] 本申请的一些实施例提供一种如图1所示的阵列基板01,该阵列基板包括多个矩阵排列的像素单元10,每个像素单元10至少包括发光颜色不同的第一亚像素101、第二亚像素102和第三亚像素103。

[0040] 本申请对上述第一亚像素101、第二亚像素102和第三亚像素103发出的光线不做限定,只要同一像素单元10中第一亚像素101、第二亚像素102和第三亚像素103分别发出的光线混合后,使得该像素单元10发白光即可。

[0041] 其中,上述第一亚像素101的发光效率低于第二亚像素102和第三亚像素103。示例

的,上述第一亚像素101发红光(R)、第二亚像素102绿光(G),第三亚像素103发蓝光(B)。

[0042] 在此基础上,每一行像素单元10中,第一亚像素101连接第一栅线G,第二亚像素102和第三亚像素103连接第二栅线S。上述第一栅线G和第二栅线S不同。

[0043] 基于此,本申请的一些实施例提供一种用于驱动上述阵列基板的方法,上述驱动方法包括:

[0044] 向连接同一行像素单元10的第一栅线G提供第一扫描信号,第二栅线S提供第二扫描信号。

[0045] 其中,如图2所示,第一扫描信号的有效时长 T_1 大于第二扫描信号的有效时长 T_2 。

[0046] 这样一来,同一行像素单元10中,第一亚像素101的发光时间大于第二亚像素102和第三亚像素103。从而可以对发光效率较低的第一亚像素101的发光时间进行延长,以对该第一亚像素101的发光亮度进行补偿,使得第一亚像素101与第二亚像素102、第三亚像素103的发光亮度相同或近似相同,从而可以提高显示效果。

[0047] 在本申请的一些实施例中,如图3所示,上述阵列基板还包括多个栅线组20。

[0048] 上述多个栅线组20中的每个栅线组20包括至少两个相邻的第一栅线G。任意两个栅线组20中的第一栅线G不相同。

[0049] 示例性的,如图3所示,每个栅线组20包括两条相邻的第一栅线G,即第一行的第一栅线G1和第二行的第一栅线G2构成一栅线组20;第三行的第一栅线G3和第四行的第一栅线G4构成另一栅线组20。其余多条第一栅线G构成的栅线组20同理可得,在此不再一一赘述。

[0050] 此外,每个栅线组20中的所有第一栅线G同时接收同一扫描信号。例如,每个栅线组20中的所有第一栅线G同时接收上述第一扫描信号。在此情况下,位于同一栅线组20中的所有第一栅线G可以同时被扫描,与同一栅线组20中的各条第一栅线G相连接的第一亚像素101同时开启,并发光,且发光时长相同。

[0051] 基于此,可以在同一时刻 T ,向一栅线组20中的 N 条第一栅线G提供上述第一扫描信号。其中, $N \geq 2$, N 为正整数。与此同时,依次向与上述属于同一栅线组20中的 N 条第一栅线G分别连接同一行像素单元10的各条第二栅线S提供第二扫描信号。在此情况下,与各条第二栅线S所连接的亚像素102和第三亚像素103逐行开启,而与各条第一栅线G相连接第一亚像素101可以在上述时刻 T 中一直保持开启状态。这样一来,一组栅线组20所连接的第一亚像素101的发光时长可以为和该第一亚像素101位于同一行的第二亚像素102、第三亚像素103的发光时长的 N 倍。

[0052] 基于此,上述向连接同一行像素单元10的第一栅线G提供第一扫描信号,第二栅线S提供第二扫描信号包括:依次向多个栅线组20提供第一扫描信号。

[0053] 示例性的,先向如图3所示的第一行(L1)的第一栅线G1和第二行(L2)的第一栅线G2构成一栅线组20中的两条第一栅线G1、第一栅线G2提供如图4所示的第一扫描信号Scan_1。

[0054] 然后,再向图3所示的第三行(L3)的第一栅线G3和第四行(L4)的第一栅线G4构成一栅线组20中的两条第一栅线G3、第一栅线G4提供上述第一扫描信号Scan_1。接下来的各组栅线组20的扫描方式同上所述。

[0055] 在此基础上,向一个栅线组20提供上述第一扫描信号包括:

[0056] 首先,同时向栅线组20中的 N 条第一栅线G提供第一扫描信号。

[0057] 示例性的,同时向第一行(L1)的第一栅线G1和第二行(L2)的第一栅线G2提供如图4所示的第一扫描信号Scan_1。此时,第一行和第二行的第一亚像素101,即发红光(R)。

[0058] 然后,依次向多条第二栅线G提供第二扫描信号Scan_2。

[0059] 示例性的,如图4所示,先向与第一行(L1)的第一栅线G1连接同一行像素单元10的第一行(L1)的第二栅线S1提供第二扫描信号Scan_2;然后,向与第二行(L2)的第一栅线G2连接同一行像素单元10的第二行(L2)的第二栅线S2提供第二扫描信号Scan_2。

[0060] 其中,第二扫描信号Scan_2的有效时长T2为与第一扫描信号Scan_1的有效时长T1的 $1/N$ 。

[0061] 示例性的,如图3所示,一组栅线组中具有两条相邻的第一栅线G1和第一栅线G2。此时,如图4所示,第二扫描信号Scan_2的有效时长T2为与第一扫描信号Scan_1的有效时长T1的 $1/2$ 。

[0062] 在此情况下,如图4所示,第一行(L1)中第一亚像素101,以及第二行(L2)中的第一亚像素101(R)发光的前一半时间,第一行(L1)中的第二亚像素102(G)和第三亚像素103(B)发光。在第一行(L1)中第一亚像素101,以及第二行(L2)中的第一亚像素101(R)发光的后一半时间,第二行(L2)中的第二亚像素102(G)和第三亚像素103(B)发光。因此,每一行第二亚像素102(G)和第三亚像素103(B)发光时长是第一行(L1)、第二行(L2)的第一亚像素101(R)的发光时长的二分之一。

[0063] 同理,当一组栅线组20包括三条相邻的上述第一栅线G时,此时,如图5所示,第二扫描信号Scan_2的有效时长T2为与第一扫描信号Scan_1的有效时长T1的 $1/3$ 。在此情况下,每一行第二亚像素102(G)和第三亚像素103(B)发光时长是第一行(L1)、第二行(L2)、第三行(L3)的第一亚像素101(R)的发光时长的三分之一。

[0064] 需要说明的是,本领域技术人员可以根据需要对一个栅线组20包括的第一栅线G的数量进行限定,以使得在一帧画面的显示时间内,一个像素单元10中,第一亚像素101(R)的发光亮度与第二亚像素102(G)和第三亚像素103(B)的发光亮度相同或近似相同,达到对一个像素单元10中各个亚像素的配比进行调节,使得该像素单元10达到白平衡状态的目的。

[0065] 当第一亚像素101的发光效率与第二亚像素102、第三亚像素103相差较大时,可以增加每个栅线组20中第一栅线G的数量,反之可以减小每个栅线组20中第一栅线G的数量。

[0066] 上述实施例是以一组栅线组20包括两条或三条相邻的第一栅线G为例进行的说明。当一组栅线组20包括其余数量的第一栅线G时,上述第一扫描信号Scan_1和第二扫描信号Scan_2,以及第一亚像素101(R)、第二亚像素102(G)和第三亚像素103(B)的发光时长的设置同上所述此处不再一一赘述。

[0067] 在本申请的一些实施例中,如图6所示,上述阵列基板01还包括位于上述第一亚像素101、第二亚像素102以及第三亚像素103内的像素电路。

[0068] 该像素电路包括第一选通子电路30、灰阶控制子电路31、驱动子电路32以及发光器件D。

[0069] 在本申请的一些实施例中,上述发光器件D可以包括微型发光二极管(Micro LED)。

[0070] 此外,第一选通子电路30与数据线DL、灰阶控制子电路31电连接。此外,上述第一

选通子电路30还连接第一栅线G或第二栅线S。

[0071] 当上述像素电路位于第一亚像素101内时,该像素电路中的第一选通子电路30与第一栅线G相连接。当上述像素电路位于第二亚像素102或第三亚像素103内时,该像素电路中的第一选通子电路30与第二栅线S相连接。

[0072] 此外,第一选通子电路30用于在第一栅线S或第二栅线G的控制下,将数据线DL输出的数据电压Vdata传输至灰阶控制子电路31。

[0073] 灰阶控制子电路31还与驱动子电路32和发光器件D的阳极电连接。该灰阶控制子电路31用于根据接收到的数据电压Vdata,控制驱动子电路32和发光器件D电连接的时长。

[0074] 驱动子电路32还与恒压源Vp、第一工作电压端VDD电连接。此外,发光器件D的阴极与第二工作电压端VSS电连接。

[0075] 驱动子电路32用于在恒压源Vp输出的恒定电压的控制下,根据第一工作电压VDD和恒压源Vp之间的压差,向发光器件D提供恒定的驱动电流I。其中,第一工作电压VDD和第二工作电压VSS用于向驱动电流I的电流流路径提供电势差。此外,该驱动电流I的大小由恒压源Vp和第一工作电压VDD输出的电压值的大小决定。

[0076] 该发光器件D根据驱动电流I进行发光。

[0077] 需要说明的是,上述第一工作电压端VDD用于输出高电平,而第二工作电压端VSS用于输出低电平或者接地。

[0078] 上述恒压源Vp可以向驱动子电路32提供恒定的电压,从而使得驱动子电路32向发光器件D提供恒定的驱动电流I,进而使得发光器件D的发光性能稳定。

[0079] 此外,上述发光器件D为Micro LED时,Micro LED的发光效率与电流密度的关系曲线,示例性的,如图7所示,可以看出电流密度在A位置处时,该Micro LED的发光效率最高。因此为了使得第一亚像素101、第二亚像素102或者第三亚像素103中的Micro LED的具有较高的发光效率,可以对上述恒压源Vp输出的恒定电压的电压值进行设定,使得驱动子电路32向Micro LED提供的恒定的驱动电流,可以使得该Micro LED的电流密度恒定的处于上述A位置,从而使得各个亚像素的像素电路中的Micro LED工作在发光效率最高的区域,达到提高发光器件D发光效率以及发光稳定性的目的。

[0080] 图7所示的关系曲线仅仅是为了对一种Micro LED工作在发光效率最高的区域进行的说明。不同种类或型号的Micro LED的上述关系曲线不一定相同。

[0081] 需要说明的是,当Micro LED的发光颜色不同时,不同发光颜色的Micro LED具有的发光效率与电流密度的关系曲线也不相同。在此情况下,第一亚像素101中发红光(R)的Micro LED、第二亚像素102中发绿光(G)的Micro LED以及第三亚像素103中发蓝光(B)的Micro LED在各自曲线中的发光高线率区域对应的电流密度各不相同。因此与第一亚像素101中的像素电路相连接的恒压源Vp、与第二亚像素102中的像素电路相连接的恒压源Vp以及与第三亚像素103中的像素电路相连接的恒压源Vp的数值不同。

[0082] 基于此,可以将发光颜色相同的多个亚像素中的像素电路连接相同的恒压源Vp。示例性的,位于同一列的第一亚像素101中的像素电路连接相同的恒压源Vp;位于同一列的第二亚像素102中的像素电路连接相同的恒压源Vp;位于同一列的第三亚像素103中的像素电路连接相同的恒压源Vp。

[0083] 此外,在本申请的一些实施例中,上述像素电路,如图8所示,还包括第二选通子电

路33。

[0084] 该第二选通子电路33与恒压源 V_p 、驱动子电路32以及第三栅线GL电连接。该第二选通子电路33用于在第三栅线GL的控制下,将恒压源 V_p 输出的恒定电压传输至驱动子电路。

[0085] 在此情况下,只有在第三栅线GL的控制下,将第二选通子电路开启时,上述恒压源 V_p 才能够传输至驱动子电路32。这样一来,驱动子电路32无需一致保持开启状态,而可以根据需要在第二选通子电路开启后,接收恒压源 V_p ,再向发光器件D提供驱动电流I。

[0086] 本申请对第三栅线GL何时控制第二选通子电路33开启不做限定,至少能够保证,在第一栅线G和第二栅线S将第一选通子电路30开启之前,第三栅线GL控制第二选通子电路33开启即可。

[0087] 基于图6所示的像素电路的结构,本申请的一些实施例提供一种用于驱动如上所述的阵列基板的方法,如图9所示,上述驱动方法包括S101~S104。

[0088] S101、上述第一选通子电路30在第一栅线G或第二栅线S的控制下,将数据线DL输出的数据电压 V_{data} 传输至灰阶控制子电路31。

[0089] 第一栅线G或第二栅线S控制第一选通子电路30开启,当第一选通子电路30开启后,数据电压 V_{data} 可以通过第一选通子电路30传输至灰阶控制子电路31。

[0090] S102、灰阶控制子电路31根据数据电压 V_{data} ,控制驱动子电路32和发光器件D电连接的时长。

[0091] 数据电压 V_{data} 控制灰阶控制子电路31开启,当灰阶控制子电路31开启时驱动子电路32和发光器件D电连接。当灰阶控制子电路31关闭后,驱动子电路32和发光器件D断开电连接。

[0092] S103、驱动子电路32在恒压源 V_p 输出的恒定电压的控制下,根据第一工作电压VDD和恒压源 V_p 之间的压差,向发光器件D提供恒定的驱动电流I。

[0093] S104、发光器件D根据上述驱动电流I进行发光。

[0094] 上述驱动阵列基板的方法具有与前述实施例提供的阵列基板相同的有益效果,此处不再赘述。

[0095] 此外,在上述像素电路,如图8所示,还包括第二选通子电路33的情况下,S101之前,上述驱动方法还包括:

[0096] 第二选通子电路33在第三栅线GL的控制下,将恒压源 V_p 输出的恒定电压传输至驱动子电路32。这样一来,在第三栅线GL的控制下,当第二选通子电路33开启时,驱动子电路32才可以处于工作状态,并接收到恒压源 V_p 输出的恒定电压。

[0097] 以下对图6或图8中各个子电路的结构进行详细的说明。

[0098] 示例性的,如图10所示,上述第一选通子电路30包括第一晶体管M1。

[0099] 该第一晶体管M1的栅极连接第一栅线G或第二栅线S,第一极连接数据线DL,第二极与灰阶控制子电路31电连接。

[0100] 该灰阶控制子电路31包括第二晶体管M2。

[0101] 第二晶体管M2的栅极连接第一选通子电路30,第一极连接驱动子电路32,第二极连接发光器件D的阳极。

[0102] 在第一选通子电路30的结构如上所述时,上述第二晶体管M2的栅极连接第一晶体

管M1的第二极。

[0103] 驱动子电路32包括驱动晶体管Md。

[0104] 对于图6所示的结构而言,上述驱动晶体管Md的栅极连接恒压源V_p,第一极连接第一工作电压端VDD,第二极连接灰阶控制子电路31。

[0105] 在上述灰阶控制子电路31的结构如上所述时,该驱动晶体管Md的第二极与第二晶体管M2的第一极电连接。

[0106] 在上述像素电路如图8所示还包括第二选通子电路33时,该第二选通子电路33,如图11所示包括第三晶体管M3。

[0107] 第三晶体管M3的栅极连接第三栅线GL,第一极连接恒压源V_p,第二极连接驱动子电路32。

[0108] 在驱动子电路32的结构如上所述时,该第三晶体管M3的第二极与驱动晶体管Md的栅极相连接。在此情况下,当第三晶体管M3导通后,该驱动晶体管Md的栅极通过第三晶体管M3与恒压源V_p相连接。

[0109] 需要说明的是,上述各个晶体管可以为N型晶体管,也可以为P型晶体管。其中,图10和图11是以上述各个晶体管为P型晶体管为例进行的说明。此外,上述各个晶体管的第一极可以为源极,第二极为漏极;或者,第一极为漏极,第二极为源极,本申请对此不做限定。

[0110] 由于驱动晶体管Md能够生成用于驱动发光器件D进行发光的驱动电流I,因此该驱动晶体管Md需要具备一定的带载能力。所以驱动晶体管Md的宽长比通常大于上述第一晶体管M1、第二晶体管M2以及第三晶体管M3的宽长比。

[0111] 以下,以图11所示的像素电路为例,对该像素电路的工作过程进行详细的说明。

[0112] 首先,第三栅线GL输入低电平,此时,第三晶体管M3导通,从而将恒压源V_p输出的恒定电压传输至驱动晶体管Md的栅极,驱动晶体管Md导通。

[0113] 在此情况下,在恒压源V_p输出的恒定电压的控制下,可以使得驱动晶体管Md工作在饱和区,从而可以通过驱动晶体管Md向发光器件D提供恒定的驱动电流I,该驱动电流I的大小与恒压源V_p输出的电压以及第一工作电压端VDD输出的电压相关。

[0114] 需要说明的是,如果驱动晶体管Md一直工作在上述饱和区,会导致驱动晶体管Md的阈值电压(V_{th})等特性发生漂移,从而影响上述驱动电流I的稳定性。在此情况下,相对于图10所示的方案而言,图11中通过设置第三晶体管M3,可以利用第三栅线GL控制第三晶体管M3的导通和截止,使得只有在第三晶体管M3导通时,驱动晶体管Md才能够工作在上述饱和区,降低了驱动晶体管Md的阈值电压发生漂移的几率。

[0115] 接下来,第一栅线G或第二栅线S输入低电平。此时,第一晶体管M1导通,将数据电压V_{data}传输至第二晶体管M2的栅极,该第二晶体管M2导通。

[0116] 该第二晶体管M2为开关晶体管,当该第二晶体管M2导通时,上述驱动晶体管Md产生的驱动电流I能够通过第二晶体管M2传输至发光器件D,从而使得发光器件D在接收到上述驱动电流I后进行发光。

[0117] 由上述可知,上述驱动电流I的大小与恒压源V_p输出的电压相关,因此可以对恒压源V_p输出的电压进行设置,并在第二晶体管M2导通的情况下,能够使得发光器件D在接收到上述驱动电流I后,其电流密度恒定的处于发光效率最高的区域。

[0118] 此外,第一栅线G或第二栅线S输出的信号如图12所示,相对于第三栅线GL而言,具

有一定的延时。这样一来,可以使得驱动晶体管Md产生的驱动电流I稳定后,再通过第二晶体管M2传输至发光器件D,从而进一步确保发光器件D的电流密度恒定的处于上述发光效率最高的区域。

[0119] 需要说明的是,可以采用PWM(Pulse Width Modulation,脉冲宽度调节)的方式控制第一栅线G输出的第一扫描信号Scan_1或第二栅线S输出的第二扫描信号Scan_2的有效时长。这样一来,可以控制第一晶体管M1的导通时长,从而对发光器件D接收上述驱动电流I的有效时长进行控制,进而达到对发光器件D有效发光亮度,以及与该有效发光亮度相匹配的显示灰阶进行调节的目的。

[0120] 示例性的,如图13所示,当具有上述像素电路的第一亚像素101需要显示L255的灰阶时,可以向该第一亚像素101中的第一晶体管M1的栅极所连接的第一栅线G提供上述第一扫描信号Scan_1(图13中以低电平VGL为例),以导通第一晶体管M1。在此情况下,在第一晶体管M1导通时间T内,数据线DL通过第一晶体管M1向第二晶体管M2的栅极提供的数据电压Vdata中,低电平VGL的时长与上述第一晶体管M1导通时间T相同。

[0121] 或者,当具有上述像素电路的第一亚像素101需要显示L127的灰阶时,可以在第一晶体管M1导通时间T内,数据线DL通过第一晶体管M1向第二晶体管M2的栅极提供的数据电压Vdata中,低电平VGL的时长为上述第一晶体管M1导通时间T的50%左右(以下为了方便说明,以50%为例)。

[0122] 又或者,当具有上述像素电路的第一亚像素101需要显示L0的灰阶时,可以在第一晶体管M1导通时间T内,数据线DL通过第一晶体管M1向第二晶体管M2的栅极提供的数据电压Vdata中,低电平VGL的时长为0。

[0123] 又或者,当有上述像素电路的第一亚像素101需要显示的灰阶值L位于 $L127 < L < L255$ 时,可以在第一晶体管M1导通时间T内,数据线DL通过第一晶体管M1向第二晶体管M2的栅极提供的数据电压Vdata中,低电平VGL的时长P为 $50\% \times T < P < 100\% \times T$ 。

[0124] 又或者,当有上述像素电路的第一亚像素101需要显示的灰阶值L位于 $L0 < L < L127$ 时,可以在第一晶体管M1导通时间T内,数据线DL通过第一晶体管M1向第二晶体管M2的栅极提供的数据电压Vdata中,低电平VGL的时长P为 $0 \times T < P < 50\% \times T$ 。

[0125] 上述是以第一亚像素101为例进行的说明,当控制第二亚像素102和第三亚像素103的灰阶时,同理可得,只需要控制第二亚像素102或第三亚像素103中的第一晶体管M1的栅极所连接的第二栅线S在一行像素单元10的扫描时间内输出的上述第二扫描信号Scan_2的占空比即可。

[0126] 本申请的一些实施例,提供一种显示面板包括如上所述的任意一种阵列基板01。

[0127] 此外,上述显示面板包括设置于布线区的栅极驱动电路。该栅极驱动电路如图14所示,包括第一栅极驱动子电路40和第二栅极驱动子电路41。

[0128] 需要说明的是,阵列基板01包括设置上述像素单元10的像素区,以及位于所述像素区周边的布线区。

[0129] 上述第一栅极驱动子电路40和第二栅极驱动子电路41可以成IC(Integrated Circuit集成电路)的形式,并通过绑定(Bonding)工艺在设置于上述布线区。或者,还可以通过GOA(Gate Driver on Array,阵列基板行驱动)的方式制作于阵列基板01的玻璃衬底上。本申请对此不做限定。

[0130] 以下对上述第一栅极驱动子电路40和第二栅极驱动子电路41进行详细的说明。

[0131] 如图14所示,第一栅极驱动子电路40与第一栅线G1相连接。

[0132] 该第一栅极驱动子电路40用于依次向多个栅线组20(如图14所示,包括第一行第一栅线G1和第二行第一栅线G2)提供第一扫描信号Scan_1。

[0133] 第二栅极驱动子电路41与第二栅线(S1、S2……)相连接。

[0134] 该第二栅极驱动子电路41用于依次向多条第二栅线(S1、S2……)提供第二扫描信号Scan_2。

[0135] 在本申请的一些实施例中,如图14所示,上述第一栅极驱动子电路40包括多个级联的第一移位寄存器(RS_G_1、RS_G_2……)。

[0136] 每一级第一移位寄存器与一组栅线组20相连接。不同的第一移位寄存器连接的栅线组20不同。在此情况下,一级第一移位寄存器输出的第一扫描信号Scan_1,可以同时提供至该级第一移位寄存器相连接的栅线组20中的多条第一栅线(例如,G1和G2)。

[0137] 此外,第二栅极驱动子电路41包括多个级联的第二移位寄存器(RS_S_1、RS_S_2……),每一级第二移位寄存器连接一条第二栅线(S1、S2……)。在此情况下,一级第二移位寄存器(例如RS_S_1)可输出的第二扫描信号Scan_2,可以提供至一条与该第二移位寄存器(例如RS_S_1)相连接第二栅线(例如,S1)。

[0138] 在此基础上,为了减小上述显示面板的布线区的尺寸,且使得显示区两侧的布线区的面积大小相同或近似相同。在本申请的一些实施例中,上述第一栅极驱动子电路40和第二栅极驱动子电路41,如图14所示,分别位于显示区(即阵列设置有像素电路的区域)的两侧。

[0139] 此外,上述显示面板还包括与数据线DL相连接的源极驱动电路。其中,由于位于同一栅线组20中的所有第一栅线G可以同时被扫描,因此,同一栅线组20中的各条第一栅线G所控制的亚像素分别接收不同的数据线DL输出的数据电压,以使得上述亚像素显示的灰阶数据能够独立控制。

[0140] 需要说明的是,上述显示面板可以为有机发光二极管电视、数码相框、手机或平板电脑等任何具有显示功能的产品或者部件。上述显示面板具有与前述实施例提供的阵列基板相同的有益效果,此处不再赘述。

[0141] 以上所述,仅为本发明的具体实施方式,但本发明的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本发明揭露的技术范围内,可轻易想到变化或替换,都应涵盖在本发明的保护范围之内。因此,本发明的保护范围应以所述权利要求的保护范围为准。

01

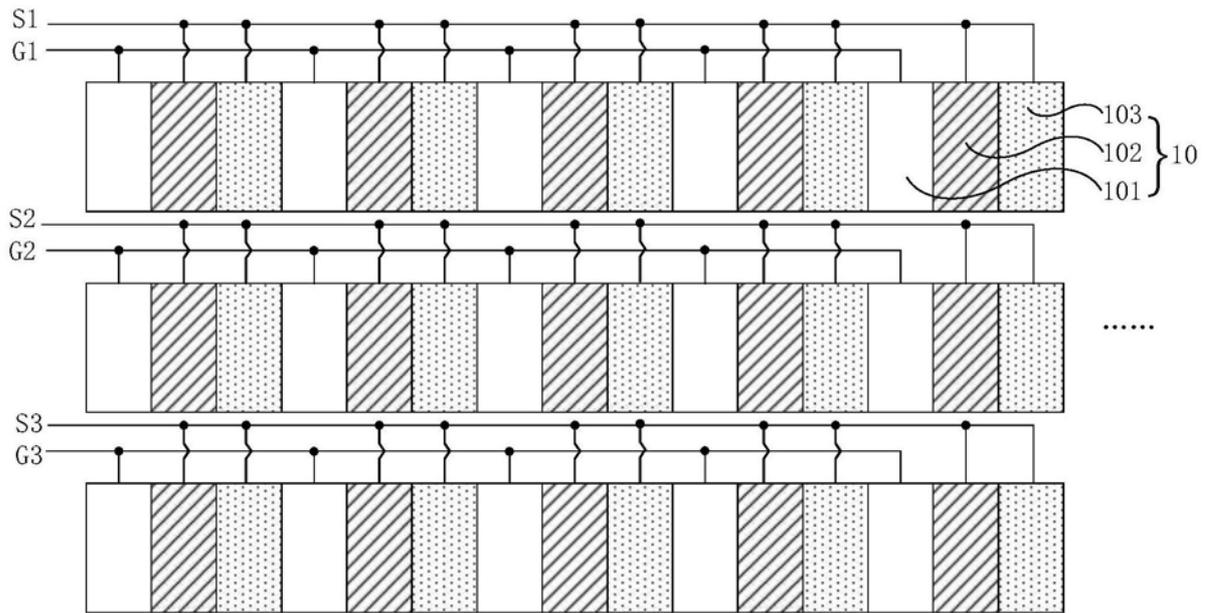


图1

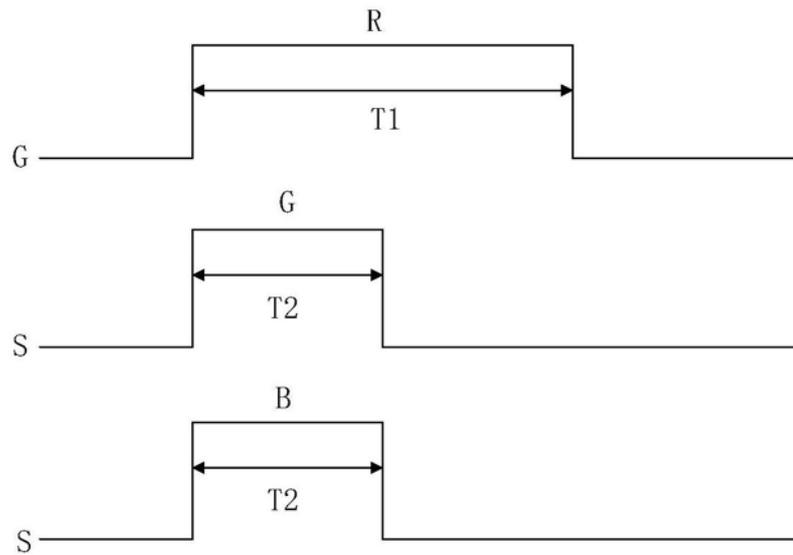


图2

01

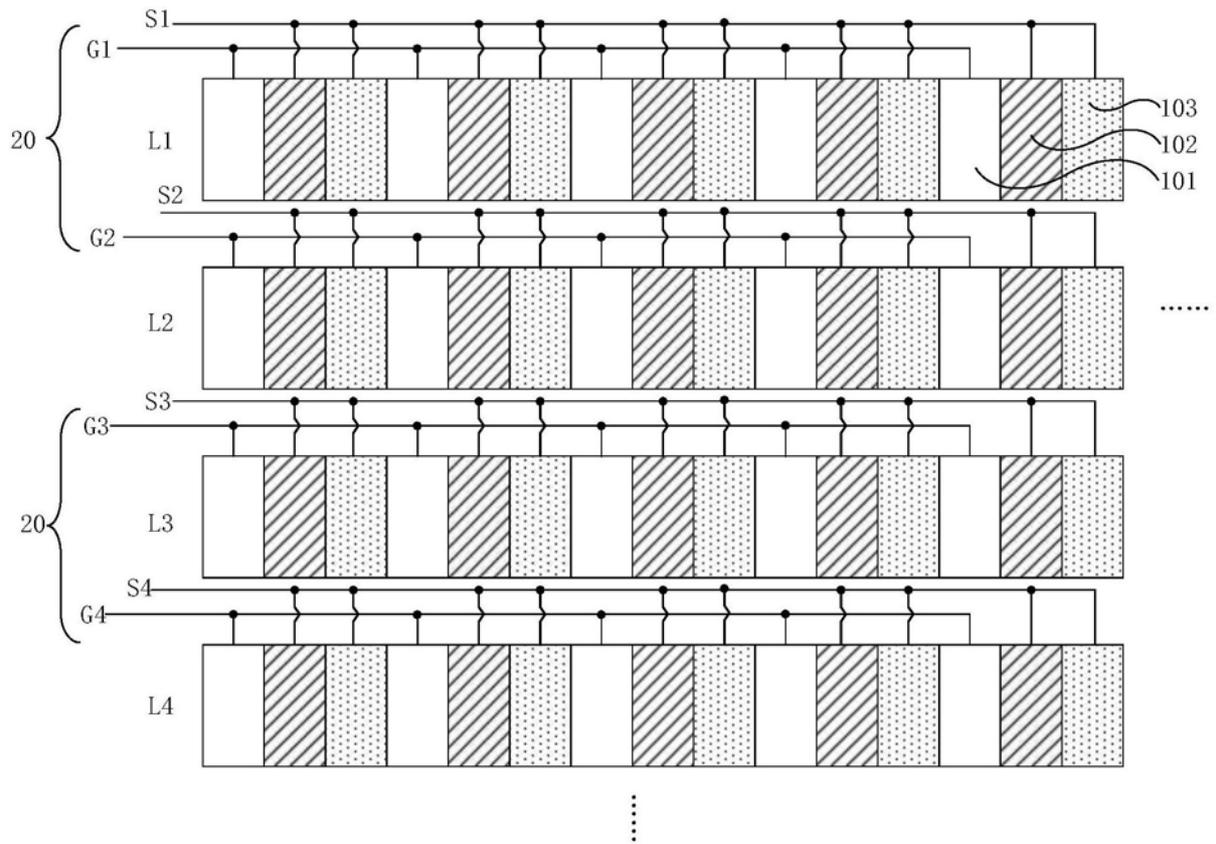


图3

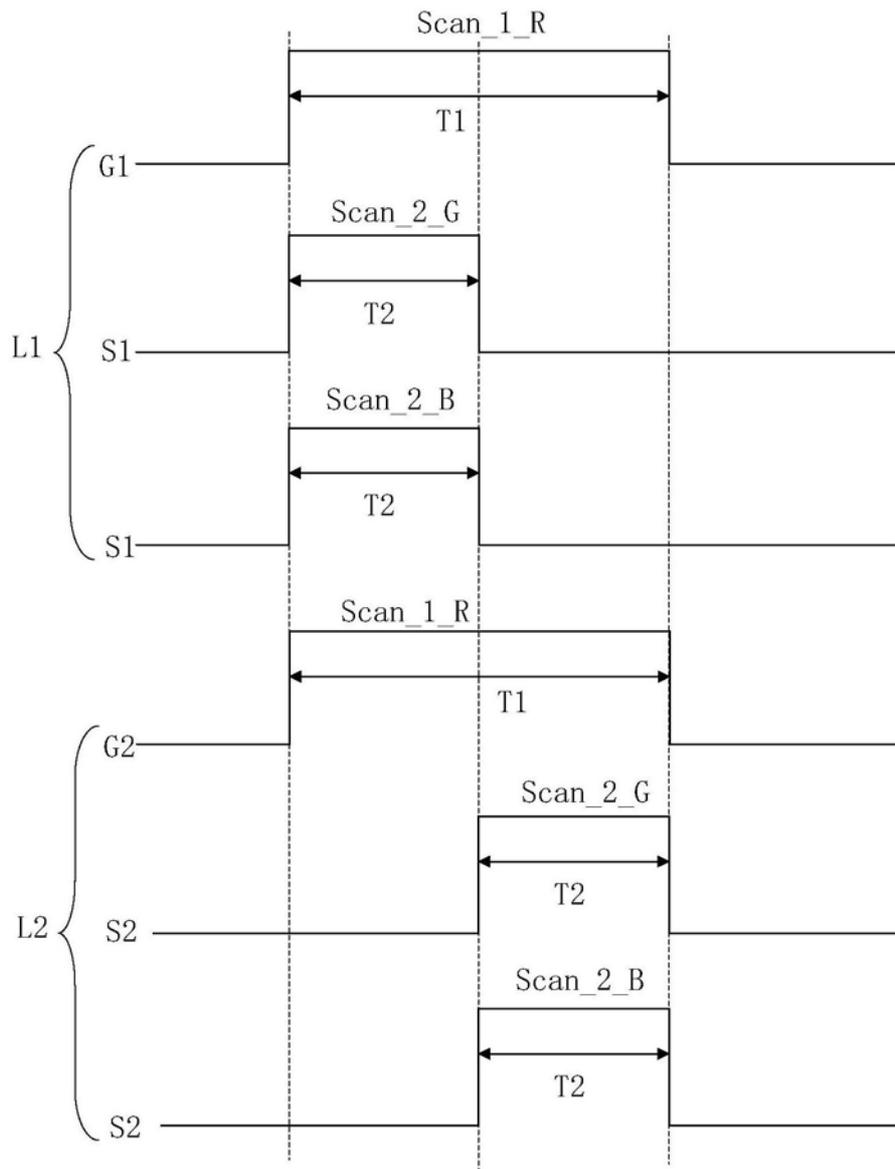


图4

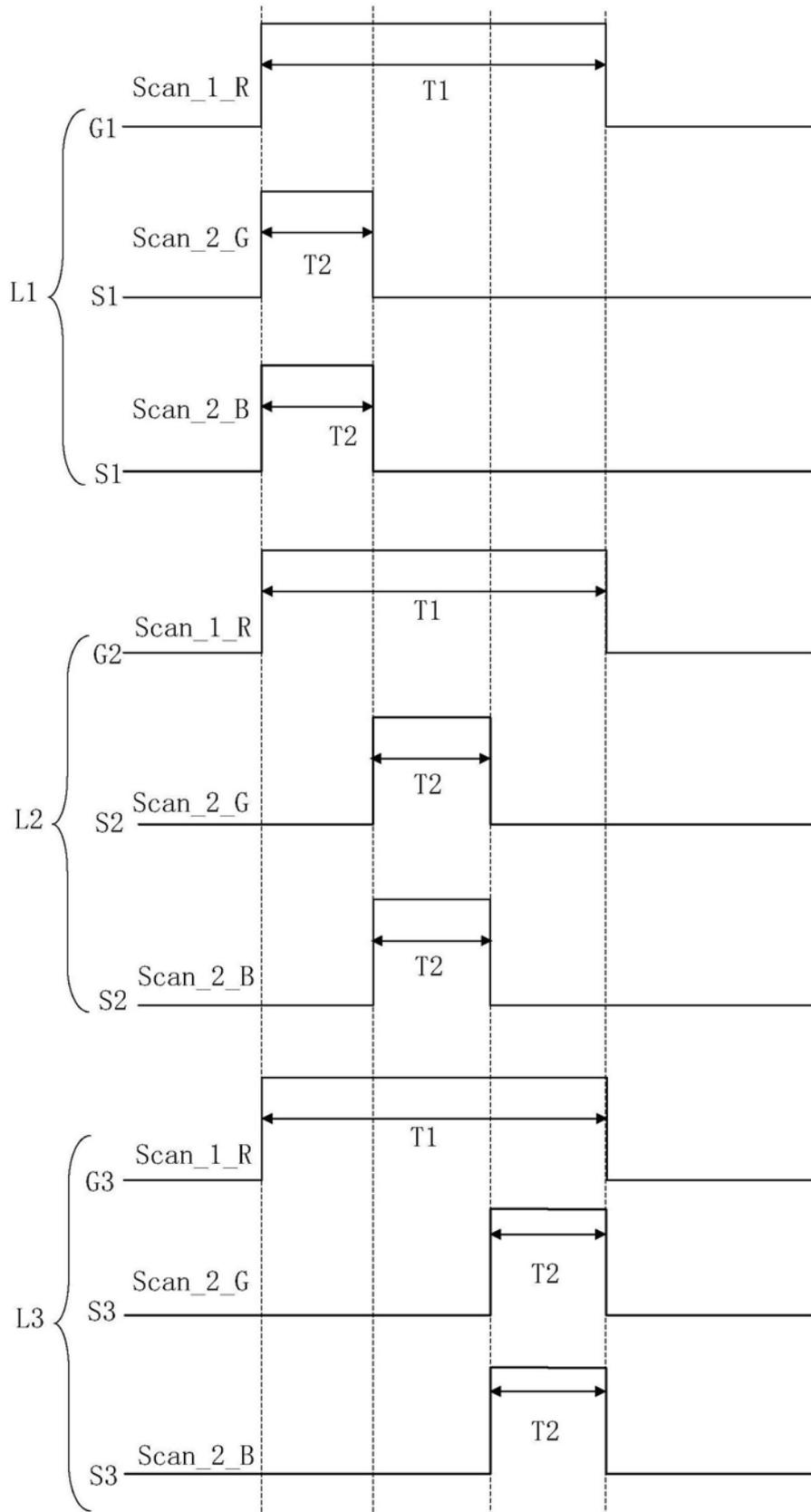


图5

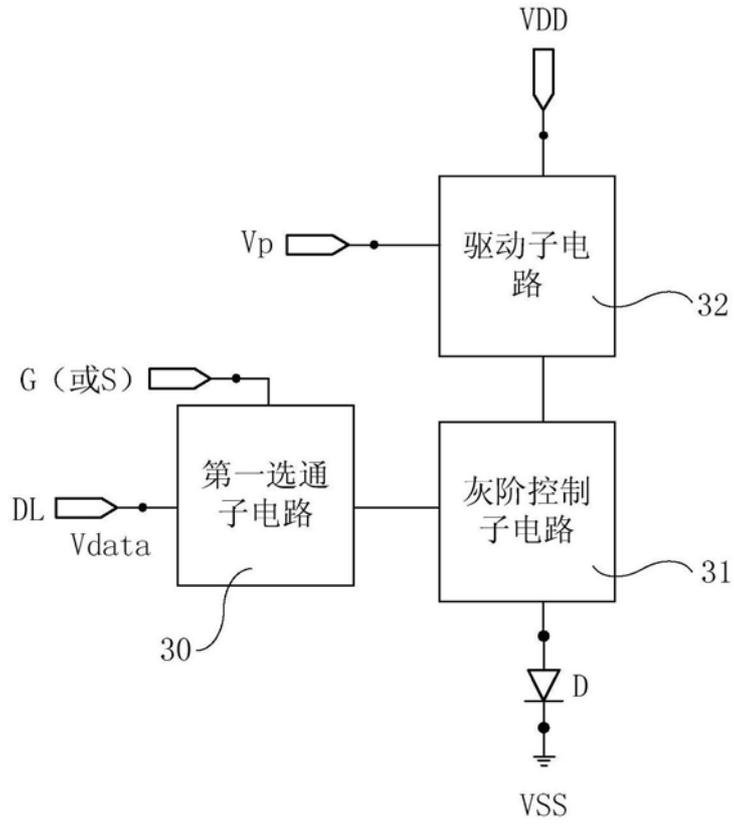


图6

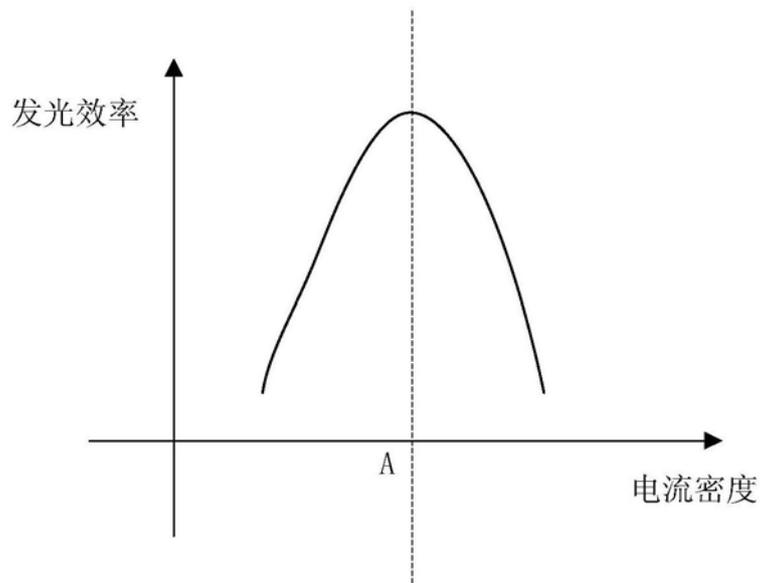


图7

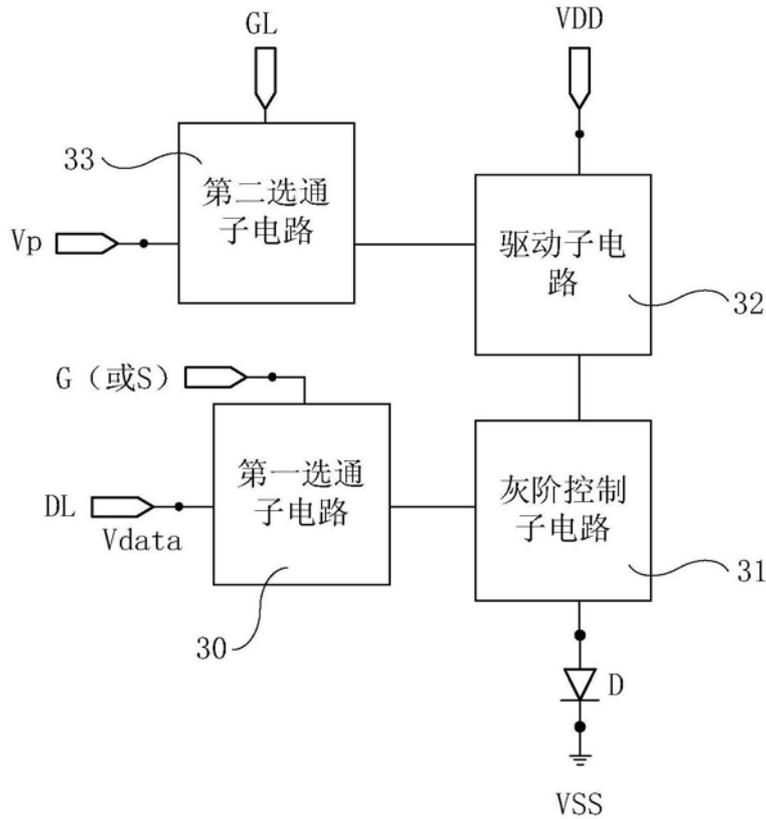


图8

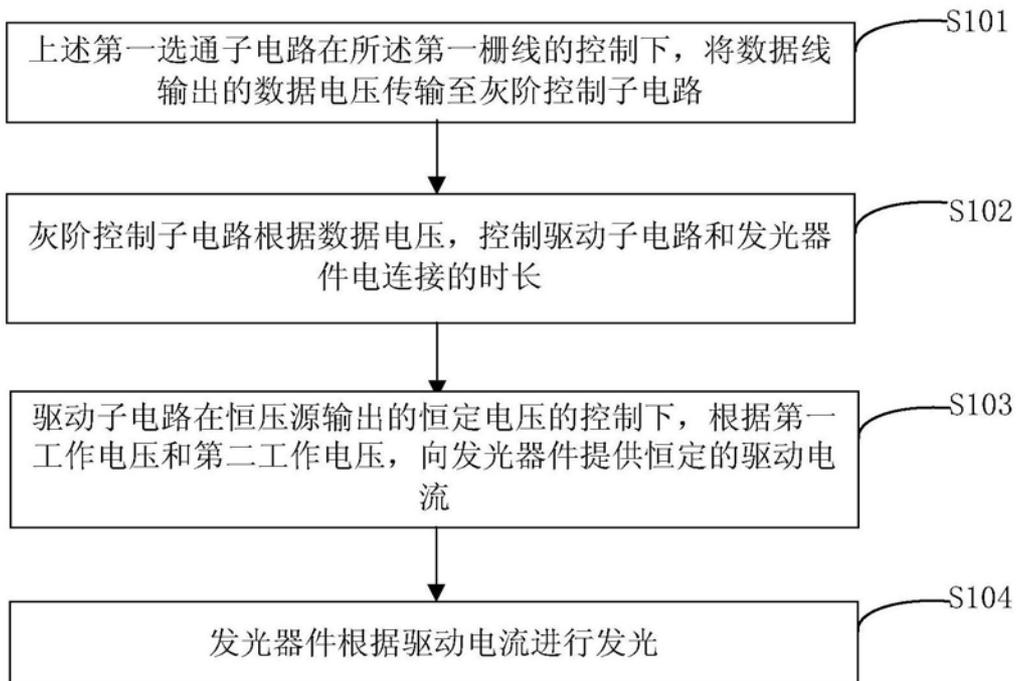


图9

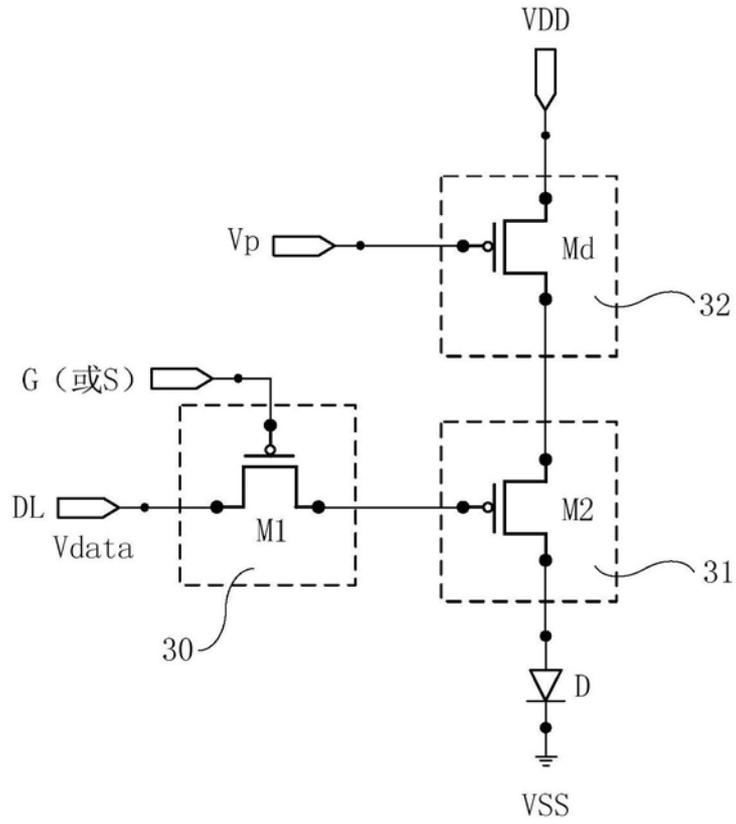


图10

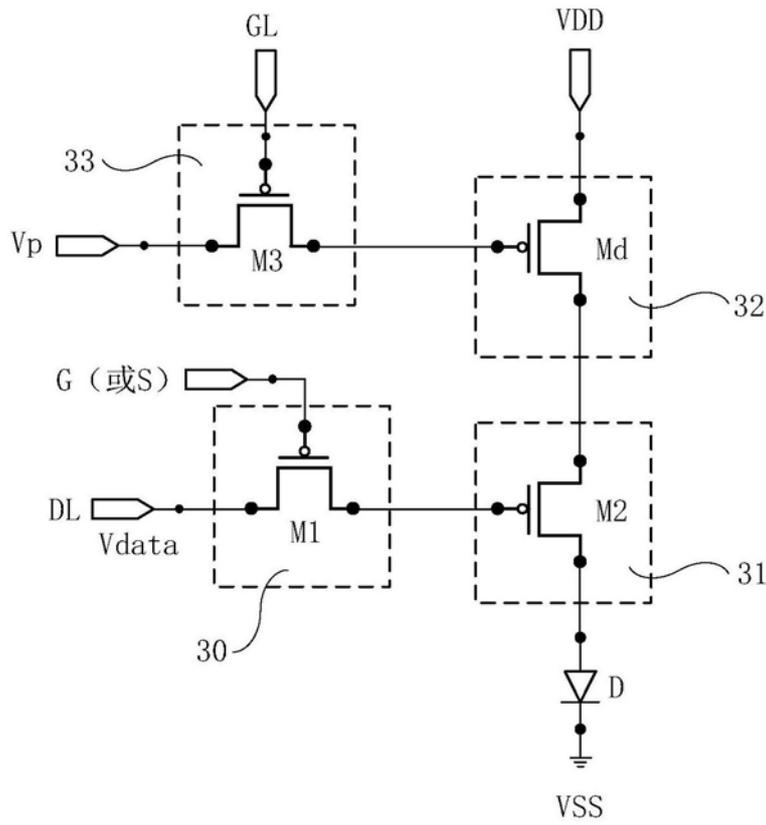


图11

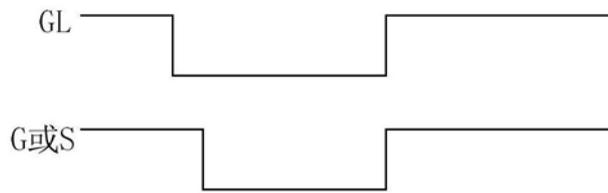


图12

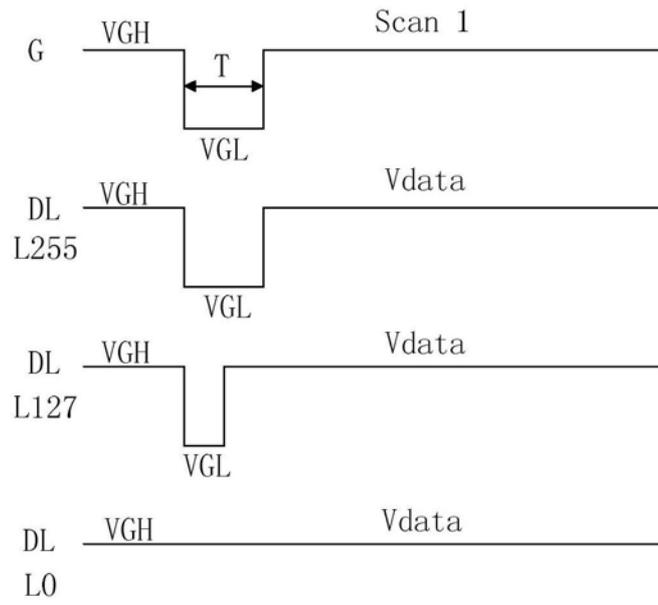


图13

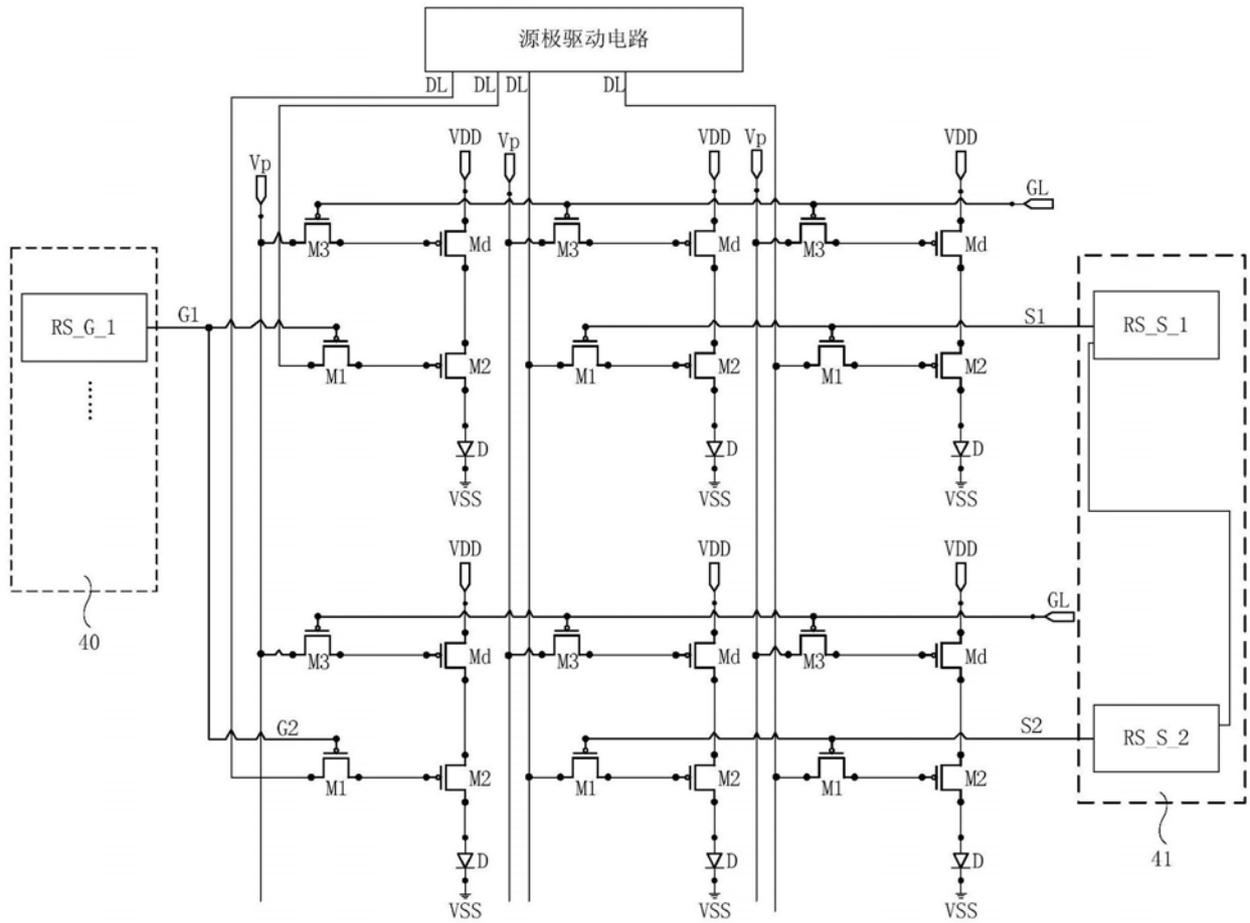


图14

专利名称(译)	一种阵列基板及其驱动方法、显示面板		
公开(公告)号	CN110021261A	公开(公告)日	2019-07-16
申请号	CN201810685556.7	申请日	2018-06-28
[标]申请(专利权)人(译)	京东方科技集团股份有限公司		
申请(专利权)人(译)	京东方科技集团股份有限公司		
当前申请(专利权)人(译)	京东方科技集团股份有限公司		
[标]发明人	丛宁 玄明花 岳晗 杨明 陈小川 张粲 王灿 陈亮 赵德涛		
发明人	丛宁 玄明花 岳晗 杨明 陈小川 张粲 王灿 陈亮 赵德涛		
IPC分类号	G09G3/32		
CPC分类号	G09G3/32		
代理人(译)	贾莹		
外部链接	Espacenet SIPO		

摘要(译)

本申请实施例提供一种阵列基板及其驱动方法、显示面板，涉及显示技术领域，用于解决部分Micro LED发光效率不同，影响显示效果的问题。阵列基板包括多个矩阵排列的像素单元，每个像素单元至少包括发光颜色不同的第一亚像素、第二亚像素和第三亚像素；第一亚像素的发光效率低于第二亚像素和第三亚像素；每一行像素单元中，第一亚像素连接第一栅线，第二亚像素和第三亚像素连接第二栅线。

